اسلاید ششم

طراحی کنترل سیم بندی شده
Hard-wired Control Unit

کنترل و زمان بندی

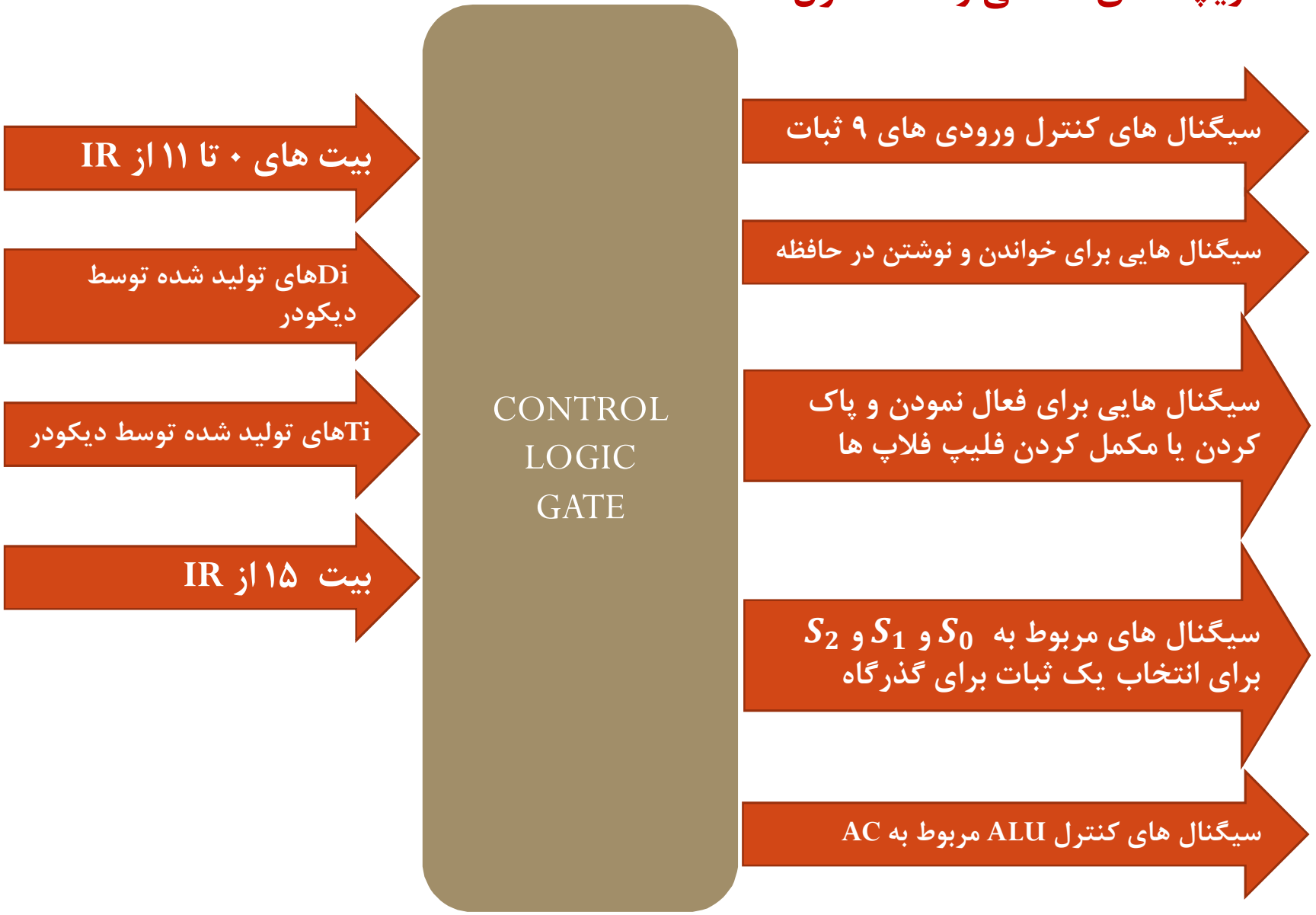
- دو نوع ساختار کنترلی عمده وجود دارد
- کنترل سیم بندی شده (Hard-wired Control Unit)
  - منطق کنترل توسط گیتها، فلیپ فلاپ ها، رمز گشاها و سایر مدارات دجیتال پیاده سازی می شود. مزیت این کنترل سرعت بالای آن است

- کنترل ریز برنامه ریزی شده (Micro-programmed Control Unit)
  - اطلاعات کنترلی، در یک حافظه کنترلی ذخیره می شوند. این حافظه طوری برنامه ریزی می شود که دنباله ای از ریزعملیات را تولید کند. مزیت این نوع کنترل، انعطاف پذیری بالای آن است. هر تغییر احتمالی یا به روز کردن اطلاعات حافظه کنترلی قابل اعمال است.

در این بخش نوع اول بررسی می شود

طراحی کنترل سیم بندی شده

- دریچه های منطقی واحد کنترل



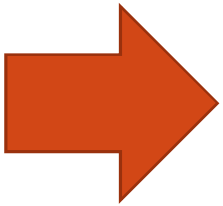
○ طراحی کنترل سیم بندی شده – دریچه های منطقی واحد کنترل

کنترل ثبات ها

- ورودی های کنترلی ثبات ها عبارتند از LD(load) و INR(increment) و CLR(clear)
- مثال: می خواهیم ورودی های کنترلی AR را طراحی می کنیم:

در جدول ریز عملیات ها می توان جملاتی را که موجب تغییر در محتویات AR می شوند را پیدا کرد:

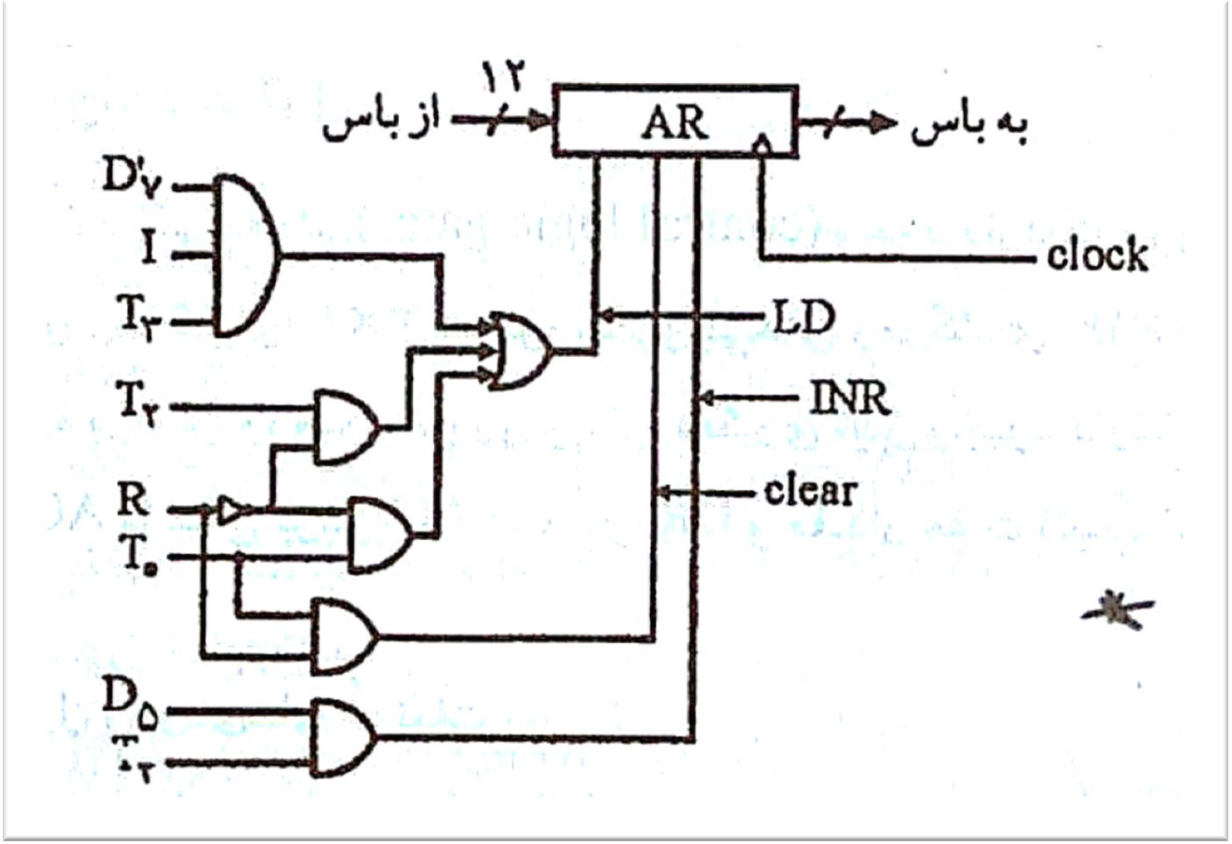
موجب تغییر در محتویات AR
$R'T_0$: AR ← PC
$R'T_2$:AR ← IR(0-11)
D'_7IT_3:AR ← M[AR]
RT_0: AR ← 0
D_5T_4: AR ← AR+1



توابع کنترلی مربوط به AR
$LD(AR) = R'T_0+R'T_2+D'_7IT_3$
$CLR(AR)=RT_0$
$INP(AR)=D_5T_4$

طراحی کنترل سیم بندی شده - دریچه های منطقی واحد کنترل

کنترل ثبات ها



- **طراحی کنترل سیم بندی شده – دریچه های منطقی واحد کنترل**

کنترل حافظه

سیگنال های کنترلی حافظه عبارتند از: Read و Write

به همین ترتیب می توان جملاتی که در سمت راست آنها عبارت M[AR] ← وجود دارد را استخراج کرده و ورودی Read حافظه را طراحی کرد:

توابع کنترلی مربوط به Read حافظه
$Read = R'T_1$+D'7IT3+$(D_0 + D_1 + D_2 + D_6)T_4$

○ طراحی کنترل سیم بندی شده - دریچه های منطقی واحد کنترل

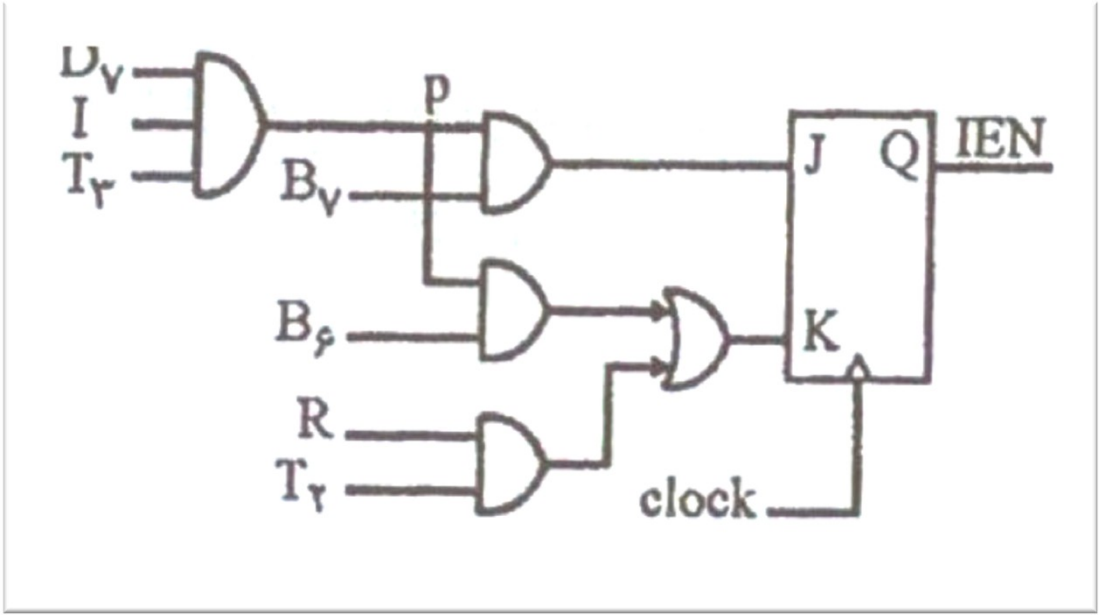
کنترل فلیپ فلاپ:

مثال: می خواهیم ورودی های کنترلی فلیپ فلاپ IEN را طراحی می کنیم:

موجب تغییر در محتویات IEN
pB_7: IEN ← 1
pB_6: IEN ← 0
RT_2: IEN ← 0 (در انتهای وقفه)

$P=D_7IT_3$ و B_6 و B_7 بیت های شماره ۶ و ۷ ثبات IR هستند.

می توانیم از فلیپ فلاپ JK استفاده کنیم

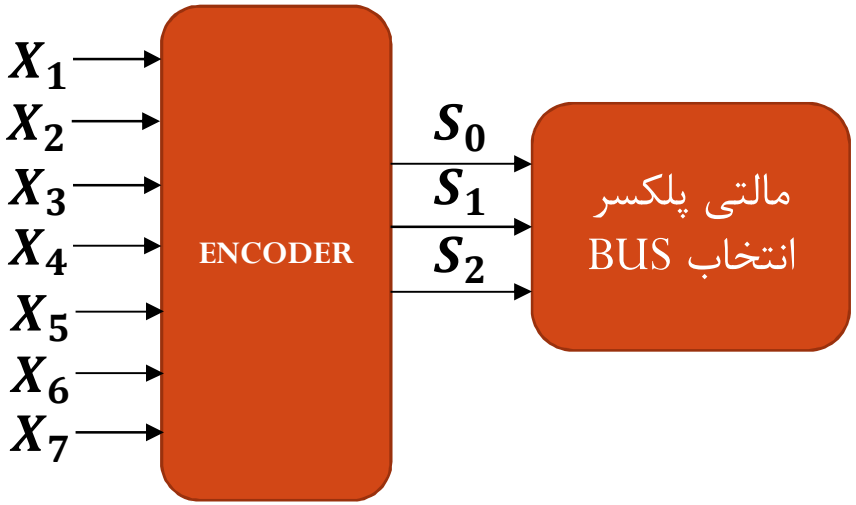


○ طراحی کنترل سیم بندی شده – دریچه های منطقی واحد کنترل

کنترل گذرگاه مشترک

گذرگاه مشترک با S_0 و S_1 و S_2 کنترل می شود.

ثباتی که برای باس انتخاب می شود.	خروجی ها	ورودی ها
	$S_2\ S_1\ S_0$	$X_1\ X_2\ X_3\ X_4\ X_5\ X_6\ X_7$
None	0 0 0	0 0 0 0 0 0 0
AR	0 0 1	1 0 0 0 0 0 0
PC	0 1 0	0 1 0 0 0 0 0
DR	0 1 1	0 0 1 0 0 0 0
AC	1 0 0	0 0 0 1 0 0 0
IR	1 0 1	0 0 0 0 1 0 0
TR	1 1 0	0 0 0 0 0 1 0
Memory	1 1 1	0 0 0 0 0 0 1



توابع کنترلی برای انکودر
$S_0 = X_1 + X_3 + X_5 + X_7$
$S_1 = X_2 + X_3 + X_6 + X_7$
$S_2 = X_4 + X_5 + X_6 + X_7$

در اینجا برای یافتن X_i ها باید توابع کنترلی که ثبات مربوطه را روی باس قرار می دهند را تعیین نمود.

○ طراحی کنترل سیم بندی شده – دریچه های منطقی واحد کنترل

کنترل گذرگاه مشترک

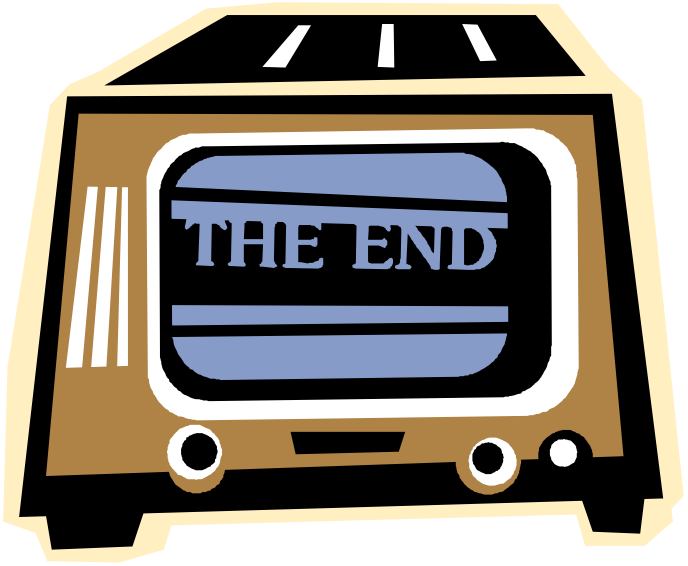
- به طور مثال:

موجب قرار دادن محتویات AR روی باس می گردد.
D_4T_4: PC ← AR
D_5T_5: PC ← AR

تابع منطقی برای قرار دادن محتوی AR روی باس
$X_1 = D_4T_4 + D_5T_5$

- و یا:

تابع منطقی برای قرار دادن محتوی Memory روی باس
$X_7 = R'T_1 + D'_7IT_3 + (D_0 + D_1 + D_2 + D_6)T_4$



- اسلاید بعد: طراحی کنترل ریز برنامه ریزی شده

- تمرین های سری سوم
  - تمرین۱: مدار کنترلی سیگنال Write برای حافظه به روش سیم بندی شده را تعیین نمایید (با رسم شکل)
  - تمرین ۲: مدار کنترلی سیگنال LOAD برای ثبات DR به روش سیم بندی شده را تعیین نمائید. (نیازی به رسم شکل نمی باشد)

موعد تحویل: پایان روز دوشنبه ۵ خرداد

نحوه تحویل : ایمیل به تدریس یار

- سوال؟